



UNIDAD	IZTAPALAPA	DIVISION	CIENCIAS BASICAS E INGENIERIA	1 / 4
NOMBRE DEL PLAN LICENCIATURA EN COMPUTACION				
CLAVE	UNIDAD DE ENSEÑANZA-APRENDIZAJE		CRED.	8
2151115	ARQUITECTURA DE COMPUTADORAS		TIPO	OBL.
H.TEOR. 4.0	SERIACION		TRIM.	VI
H.PRAC. 0.0	2151105			

OBJETIVO(S):

Al final de la UEA el alumno será capaz de:

- Describir el funcionamiento de la interfaz software-máquina, con el fin de explicar cómo repercuten en las capas más altas de un sistema de información las características del hardware.
- Utilizar el lenguaje que le permita relacionarse con proveedores y desarrolladores de hardware.

Objetivos Específicos:

Al final de la UEA el alumno será capaz de:

- Describir los elementos básicos de hardware utilizados para la implementación de funciones lógicas y máquinas de estado.
- Describir cómo representa la computadora los distintos tipos de datos para su procesamiento y las limitaciones que esto conlleva.
- Describir el funcionamiento de distintos procesadores, los modelos en que se basan y su relación con la aplicación.

CONTENIDO SINTETICO:

1. Elementos básicos de diseño lógico (2 semanas).
 - 1.1. Codificación eléctrica de valores lógicos.
 - 1.1.1. Utilización de valores eléctricos como el voltaje o la corriente para representar valores discretos.
 - 1.1.2. Manejo de umbrales y su relación con la inmunidad al ruido.
 - 1.2. Compuertas lógicas (and, or, not, xor).
 - 1.3. Circuitos combinatorios básicos.
 - 1.3.1. Sumadores.



ADECUACION
PRESENTADA AL COLEGIO ACADEMICO
EN SU SESION NUM. 383

[Handwritten Signature]
EL SECRETARIO DEL COLEGIO

NOMBRE DEL PLAN LICENCIATURA EN COMPUTACION		2/ 4
CLAVE 2151115	ARQUITECTURA DE COMPUTADORAS	

- 1.3.2. Codificadores.
 - 1.3.3. Descodificadores.
 - 1.3.4. Selectores.
 - 1.3.5. Buffers de tercer estado.
 - 1.3.6. Multiplexores.
 - 1.4. Dispositivos secuenciales básicos.
 - 1.4.1. Flip-Flop.
 - 1.4.2. Latch.
 - 1.4.3. Concepto de máquina de estado.
 - 1.5. Memorias.
 - 1.5.1. Definición.
 - 1.5.2. Tipos de acceso, secuencial, aleatorio y aleatorio por bloque.
 - 1.5.3. Tiempo de acceso.
 - 1.5.4. De acceso secuencial.
 - 1.5.5. De acceso aleatorio.
 - 1.5.5.1. Volátil.
 - 1.5.5.2. No volátil.
 - 1.5.6. Secuencial.
 - 1.5.7. Aleatorio por bloque.
2. Representación interna de los datos. En el contexto de su importancia en la construcción de sistemas heterogéneos como el Internet (1 semana).
- 2.1. Byte, nibble.
 - 2.2. Enteros y su representación, complemento a 2 y BCD.
 - 2.3. Flotantes.
 - 2.3.1. Estándares ANSI.
 - 2.3.2. Usos y limitaciones.
 - 2.4. Arreglos y su almacenamiento secuencial en la memoria.
 - 2.5. Alineación y endianness.
3. Concepto de arquitectura de computadoras (2 semanas).
- 3.1. Modelo de Von Neumann (completo y reducido) y modelo Harvard.
 - 3.1.1. Los registros y su interconexión.
 - 3.2. Los componentes de un procesador.
 - 3.3. Arquitectura de propósito general basada en acumulador con tres buses independientes.
 - 3.4. Fases en la ejecución de una instrucción.
4. El procesador y su relación con los periféricos elementales (1 semana).
- 4.1. Concepto de periférico.
 - 4.2. Periféricos elementales.
 - 4.3. Sistema mínimo.
 - 4.4. Revisar alguna configuración mínima.



UNIVERSIDAD AUTONOMA METROPOLITANA

ADECUACION
PRESENTADA AL COLEGIO ACADEMICO
EN SU SESION NUM. 383

[Handwritten Signature]
EL SECRETARIO DEL COLEGIO

NOMBRE DEL PLAN LICENCIATURA EN COMPUTACION		3/ 4
CLAVE 2151115	ARQUITECTURA DE COMPUTADORAS	

5. Instrucciones a nivel máquina y la brecha semántica (1 semana).
 - 5.1. Los extremos RISC y CISC.
 - 5.2. Decremento del costo de la memoria y la capacidad de los compiladores.
 - 5.3. Análisis comparativo y perspectivas actuales.
6. Modos de direccionamiento (1 semana).
 - 6.1. Software.
 - 6.2. Hardware.
7. Revisión de tipos de procesadores por su uso (1 semana).
8. Arquitecturas comerciales de ejemplo (2 semanas).
 - 8.1. Microcontroladores, procesadores de propósito general (como el de las PC's).
 - 8.2. Embarcados (como alguno con diseño strong-arm).
 - 8.3. Procesadores para manejo de gráficos.

MODALIDADES DE CONDUCCION DEL PROCESO DE ENSEÑANZA-APRENDIZAJE:

El profesor utilizará la clase magistral para exponer los temas del curso propiciando la participación activa y corresponsable en el proceso de enseñanza-aprendizaje, el pensamiento crítico, la disciplina y el rigor en el trabajo académico, así como la capacidad para aprender por sí mismo. Para lograr lo anterior se podrán desarrollar actividades tales como tareas de resolución de problemas, trabajos de investigación y exposición de temas. Se deberán desarrollar exhaustivamente ejemplos y ejercicios sobre los temas abordados.

MODALIDADES DE EVALUACION:

Evaluación Global:

La evaluación global de esta UEA incluirá evaluaciones periódicas y, a juicio del profesor, una evaluación terminal.

Se sugiere que las evaluaciones periódicas sean un mínimo de dos escritas y una oral.

El profesor seleccionará los elementos de evaluación periódica de entre los siguientes: evaluaciones, participación en clase, tareas de resolución de problemas, trabajos de investigación y presentaciones de temas.



UNIVERSIDAD AUTONOMA METROPOLITANA

ADECUACION
PRESENTADA AL COLEGIO ACADEMICO
EN SU SESION NUM. 383

EL SECRETARIO DEL COLEGIO

[Handwritten signature]

NOMBRE DEL PLAN LICENCIATURA EN COMPUTACION		4/ 4
CLAVE 2151115	ARQUITECTURA DE COMPUTADORAS	

Los factores de ponderación quedarán a juicio del profesor y se darán a conocer al inicio del curso.

Evaluación de Recuperación:

La evaluación de recuperación de esta UEA podrá ser global o complementaria, a juicio del profesor.

BIBLIOGRAFIA NECESARIA O RECOMENDABLE:

1. Hamacher V., Vranesic Z., Zaky S., (1987), Organización de computadoras, McGraw Hill, México.
2. Parhami, B., (2007), Arquitectura de Computadoras: de los Microprocesadores a las Supercomputadoras. (Primera Edición). McGraw Hill, México.
3. Tanenbaum, A.S., (2005), Structured Computer Organization (5th Edition), Prentice Hall, USA.
4. Vranesic, Z.G., Hamacher, V.C., Zaky, S.G., (2002). Computer Organization and Embedded Systems (5th Edition) McGraw Hill Higher Education, USA.



UNIVERSIDAD AUTONOMA METROPOLITANA

ADECUACION
PRESENTADA AL COLEGIO ACADEMICO
EN SU SESION NUM. 383

[Handwritten Signature]
EL SECRETARIO DEL COLEGIO